

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/006674

International filing date: 05 April 2005 (05.04.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-176019
Filing date: 14 June 2004 (14.06.2004)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

12.4.2005

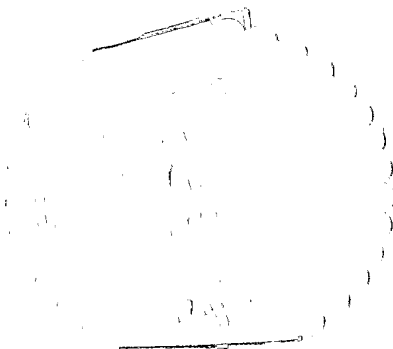
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 6 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 1 7 6 0 1 9
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 1 7 6 0 1 9]

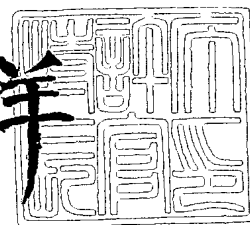
出 願 人 サンケン電気株式会社
Applicant(s):



2 0 0 5 年 3 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 A0404
【提出日】 平成16年 6月14日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/331
H01L 29/73

【発明者】
【住所又は居所】 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内
【氏名】 河野 好伸

【特許出願人】
【識別番号】 000106276
【氏名又は名称】 サンケン電気株式会社

【代理人】
【識別番号】 100095407
【弁理士】
【氏名又は名称】 木村 満

【選任した代理人】
【識別番号】 100109449
【弁理士】
【氏名又は名称】 毛受 隆典

【手数料の表示】
【予納台帳番号】 038380
【納付金額】 16,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0017501

【書類名】特許請求の範囲

【請求項 1】

第 1 導電型の第 1 半導体領域と、
前記第 1 半導体領域の一方の主面に形成された、第 2 導電型の第 2 半導体領域と、
前記第 1 半導体領域の他方の主面の表面領域に形成された、第 2 導電型の第 3 半導体領域と、

前記第 3 半導体領域の表面領域内に形成された、第 1 導電型の第 4 半導体領域と、
前記第 4 半導体領域に電氣的に接続された第 1 の電極と、
前記第 1 半導体領域と、前記第 4 半導体領域との間に絶縁膜を介して配置された制御電極と、

前記第 2 半導体領域に、電氣的に接続された第 2 の電極とを備える絶縁ゲート型半導体素子であって、

前記第 1 半導体領域の一方の主面に、前記第 2 半導体領域に隣接して形成された、第 1 導電型の第 5 半導体領域と、

前記第 5 半導体領域と、前記第 1 半導体領域との界面に形成された、第 2 導電型の第 6 半導体領域と、を備えることを特徴とする絶縁ゲート型半導体素子。

【請求項 2】

前記第 5 半導体領域は、前記第 2 の半導体領域よりも突出するように形成されることを特徴とする請求項 1 に記載の絶縁ゲート型半導体素子。

【請求項 3】

前記第 6 半導体領域は、前記第 5 半導体領域と前記第 1 半導体領域との、他方の主面側の界面に形成されることを特徴とする請求項 1 又は 2 に記載の絶縁ゲート型半導体素子。

【請求項 4】

前記第 6 半導体領域の幅は、前記第 5 半導体領域の幅より小さいことを特徴とする請求項 1 乃至 3 に記載の絶縁ゲート型半導体素子。

【請求項 5】

前記第 6 半導体領域は、前記第 5 半導体領域の少なくとも一部が、前記第 1 半導体領域と接するように形成されることを特徴とする請求項 1 乃至 4 に記載の絶縁ゲート型半導体素子。

【請求項 6】

前記第 6 半導体領域の第 2 導電型の不純物濃度は、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ cm}^{-3}$ であることを特徴とする請求項 1 乃至 5 に記載の絶縁ゲート型半導体素子。

【請求項 7】

前記第 5 半導体領域は、前記第 3 半導体領域と対向しないように形成されることを特徴とする請求項 1 乃至 6 に記載の絶縁ゲート型半導体素子。

【請求項 8】

前記第 1 半導体領域は、第 1 の領域と、第 1 の領域と比較して不純物濃度の高い第 2 の領域とを備え、前記第 2 の領域は、前記第 5 半導体領域と隣接することを特徴とする請求項 1 乃至 7 に記載の絶縁ゲート型半導体素子。

【請求項 9】

第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域の一方の主面に形成された、第 2 導電型の第 2 半導体領域と、前記第 1 半導体領域の他方の主面の表面領域に形成された、第 2 導電型の第 3 半導体領域と、前記第 3 半導体領域の表面領域内に形成された、第 1 導電型の第 4 半導体領域と、前記第 4 半導体領域に電氣的に接続された第 1 の電極と、前記第 1 半導体領域と、前記第 4 半導体領域との間の上面に絶縁膜を介して配置された制御電極と、前記第 2 半導体領域の上面に、電氣的に接続された第 2 の電極とを備える絶縁ゲート型半導体素子の製造方法であって、

前記第 1 半導体領域の一方の主面に、前記第 2 半導体領域に隣接するように、第 1 導電型の第 5 半導体領域を形成するステップと、

前記第 5 半導体領域と、前記第 1 半導体領域の界面に、第 2 導電型の第 6 半導体領域を

形成するステップとを、備えることを特徴とする絶縁ゲート型バイポーラトランジスタの製造方法。

【書類名】明細書

【発明の名称】絶縁ゲート型半導体素子、及びその製造方法

【技術分野】

【0001】

本発明は、絶縁ゲート型半導体素子と、その製造方法に関する。

【背景技術】

【0002】

絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor; 以下、IGBT) は、電界効果トランジスタの高い入力インピーダンスと、バイポーラトランジスタの高い電流ドライブ能力とを備え、特に、電力用スイッチング素子として好適に用いられる。

【0003】

従来のIGBT101は、図5に示すようにN⁻型ベース領域111と、P⁺型コレクタ領域112と、P型ベース領域113と、N⁺型エミッタ領域114と、N⁺型バッファ領域117と、コレクタ電極120と、ゲート電極121と、ゲート絶縁膜122と、エミッタ電極123と、を備える。

【0004】

このIGBT101では、P⁺型コレクタ領域112の上面全体にN⁺型バッファ領域117が形成されているため、オフ時には、N⁺型バッファ領域117内又はN⁺型バッファ領域117近傍のN⁻型ベース領域111内にキャリアが蓄積される。蓄積されたキャリアには排出経路がないため、再結合消滅するまでテール電流が流れ続け、結果としてオフスピードが遅くなるという問題点があった。

【0005】

オフスピードを速くするためには、キャリア再結合を促すライフタイムキラーを導入する方法もあるが、順方向電圧が増加するという問題がある。

【0006】

そこで、N⁺型バッファ領域117内、又はその近傍のN⁻型ベース領域111内のキャリアを速やかに排出する構造として、図6に示すようにP⁺型コレクタ領域112内に、N⁺型コレクタショート領域215を形成したIGBT201が開発されている (例えば特許文献1)。

【0007】

この特許文献1に開示されているIGBT201は、オフ時にN⁺型バッファ領域117又はその近傍のN⁻型ベース領域111内に蓄積されたキャリアを、N⁺型コレクタショート領域215を通じて排出できるため、オフスピードを速くすることができる。また、ライフタイムキラーを用いないため、順方向電圧特性を損なうこともない。

【特許文献1】特開平5-3205号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

特許文献1に開示された技術では、N⁺型コレクタショート領域215の横幅が広くなると、伝導度変調の程度が弱まり、MOS動作が顕著に現れ、デバイスがIGBT動作しにくくなるという問題があった。これは、以下の理由に基づくと考えられる。

【0009】

N⁺型コレクタショート領域215は、N⁻型ベース領域111の下面からN型不純物を拡散して形成される。通常は、N⁺型コレクタショート領域215を形成した後、N⁻型ベース領域111の上面にP型ベース領域113及びN⁺型エミッタ領域114を拡散形成するため、これらの拡散形成時の熱処理によって、N⁺型コレクタショート領域215の横幅が広がることもある。N⁺型コレクタショート領域215の横幅が広がると、P⁺型コレクタ領域112の面積が減少するため、P⁺型コレクタ領域112からN⁻型ベース領域111に注入されるホールの総量が減少する。結果として、デバイスの伝導度変

調の程度が弱まり、MOS動作が顕著に現れる。

【0010】

本発明は、上記実情に鑑みてなされたものであり、オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子を提供することを目的とする。

また、本発明は、オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するため、本発明の第1の観点に係る絶縁ゲート型半導体素子は、第1導電型の第1半導体領域と、前記第1半導体領域の一方の主面に形成された、第2導電型の第2半導体領域と、前記第1半導体領域の他方の主面の表面領域に形成された、第2導電型の第3半導体領域と、

前記第3半導体領域の表面領域内に形成された、第1導電型の第4半導体領域と、前記第4半導体領域に電気的に接続された第1の電極と、前記第1半導体領域と、前記第4半導体領域との間に絶縁膜を介して配置された制御電極と、

前記第2半導体領域に、電気的に接続された第2の電極とを備える絶縁ゲート型半導体素子であって、

前記第1半導体領域の一方の主面に、前記第2半導体領域に隣接して形成された、第1導電型の第5半導体領域と、

前記第5半導体領域と、前記第1半導体領域との界面に形成された、第2導電型の第6半導体領域と、を備えることを特徴とする。

【0012】

前記第5半導体領域は、前記第2の半導体領域よりも突出するように形成されてもよい。

【0013】

前記第6半導体領域は、前記第5半導体領域と前記第1半導体領域との、他方の主面側の界面に形成されてもよい。

【0014】

前記第6半導体領域の幅は、前記第5半導体領域の幅より小さくてもよい。

【0015】

前記第6半導体領域は、前記第5半導体領域の少なくとも一部が、前記第1半導体領域と接するように形成されてもよい。

【0016】

前記第6半導体領域の第2導電型の不純物濃度は、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ cm}^{-3}$ でもよい。

【0017】

前記第5半導体領域は、前記第3半導体領域と対向しないように形成されてもよい。

【0018】

前記第1半導体領域は、第1の領域と、第1の領域と比較して不純物濃度の高い第2の領域とを備え、前記第2の領域は、前記第5半導体領域と隣接してもよい。

【0019】

上記目的を達成するため、本発明の第2の観点に係る絶縁ゲート型半導体素子の製造方法は、

第1導電型の第1半導体領域と、前記第1半導体領域の一方の主面に形成された、第2導電型の第2半導体領域と、前記第1半導体領域の他方の主面の表面領域に形成された、第2導電型の第3半導体領域と、前記第3半導体領域の表面領域内に形成された、第1導電型の第4半導体領域と、前記第4半導体領域に電気的に接続された第1の電極と、前記第1半導体領域と、前記第4半導体領域との間の上面に絶縁膜を介して配置された制御電

極と、前記第2半導体領域の上面に、電氣的に接続された第2の電極とを備える絶縁ゲート型半導体素子の製造方法であって、

前記第1半導体領域の一方の主面に、前記第2半導体領域に隣接するように、第1導電型の第5半導体領域を形成するステップと、

前記第5半導体領域と、前記第1半導体領域の界面に、第2導電型の第6半導体領域を形成するステップとを、備えることを特徴とする。

【発明の効果】

【0020】

本発明は、オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子を提供することができる。

また、本発明は、オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子の製造方法を提供することができる。

【発明を実施するための最良の形態】

【0021】

本発明の実施の形態に係る絶縁ゲート型半導体素子を、図を用いて説明する。

本実施の形態では、特に絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor; 以下、IGBT) を例に挙げて説明する。

【0022】

本発明の実施の形態に係るIGBT1の断面構成を図1に示す。

IGBT1は、第1半導体領域としての N^- 型ベース領域11と、第2半導体領域としての P^+ 型コレクタ領域12と、第3半導体領域としてのP型ベース領域13と、第4半導体領域としての N^+ 型エミッタ領域14と、第5半導体領域としての N^+ 型コレクタシヨート領域15と、第6半導体領域としての P^+ 型半導体領域16と、コレクタ電極20と、ゲート電極21と、ゲート絶縁膜22と、エミッタ電極23と、絶縁膜24とを備える。

【0023】

N^- 型ベース領域11は、第1導電型、例えばリン等のN型の不純物が拡散されたN型半導体領域から形成される。 N^- 型ベース領域11は、例えば、 $40 \sim 120 \mu m$ 程度の厚さ、 $2.5 \times 10^{14} \sim 3 \times 10^{13} cm^{-3}$ 程度の不純物濃度で形成されている。

また、P型ベース領域13間の N^- 型ベース領域11の幅 L_2 は、例えば、 $5 \sim 30 \mu m$ 程度に形成されている。

【0024】

P^+ 型コレクタ領域12は、第2導電型、例えばボロン等のP型の不純物が拡散されたP型半導体領域から構成され、 N^- 型ベース領域11の一方の主面(下面)に形成される。 P^+ 型コレクタ領域12の下面の全面には、コレクタ電極20が形成されており、 P^+ 型コレクタ領域12は、IGBT1の動作時に N^- 型ベース領域11内にホールを注入し、伝導度変調をもたらす。

P^+ 型コレクタ領域12は、例えば、 $2 \sim 10 \mu m$ 程度の厚さで形成され、 P^+ 型コレクタ領域12のP型不純物濃度は、P型ベース領域の不純物濃度より高く、例えば、 $1 \times 10^{16} \sim 5 \times 10^{18} cm^{-3}$ 程度の不純物濃度で形成されている。

【0025】

P型ベース領域13は、P型の不純物が拡散されたP型半導体領域から構成され、 N^- 型ベース領域11の他方の主面(上面)の表面領域に形成される。

N^- 型ベース領域11と N^+ 型エミッタ領域14との間の、P型ベース領域13上には、ゲート絶縁膜22を介して、ゲート電極21が配置されている。ゲート電極21に電圧が印加されると、P型ベース領域13内にはチャネルが形成される。

P型ベース領域は、例えば、 $2.5 \sim 4.5 \mu m$ 程度の厚さで形成されており、P型ベース領域13のP型不純物濃度は、 P^+ 型コレクタ領域12の不純物濃度より低く、例えば、 $1 \times 10^{17} \sim 3 \times 10^{18} cm^{-3}$ 程度の不純物濃度で形成されている。

【0026】

N^+ 型エミッタ領域 14 は、 N 型の不純物が拡散された N 型半導体領域から構成され、 P 型ベース領域 13 の表面領域に形成される。

N^+ 型エミッタ領域 14 は、例えば、 $0.4 \sim 0.8 \mu m$ 程度の厚さで形成されており、 N^+ 型エミッタ領域 14 の N 型不純物濃度は、 N^- 型ベース領域 11 より高く、例えば、 $5 \times 10^{18} \sim 1 \times 10^{20} cm^{-3}$ 程度の不純物濃度で形成されている。

また、 N^+ 型エミッタ領域 14 の上面には、エミッタ電極 23 が形成されている。

【0027】

N^+ 型コレクタショート領域 15 は、 N 型不純物が拡散された N 型半導体領域から構成される。 N^+ 型コレクタショート領域 15 は、 P 型ベース領域 13 間の N^- 型ベース領域 11 と対向し、且つ P^+ 型コレクタ領域 12 よりも突出するように、 N^- 型ベース領域 11 の下面に形成される。

N^+ 型コレクタショート領域 15 の幅 L_1 は、 N^- 型ベース領域 11 の幅 L_2 より大きく、例えば、 $10 \sim 100 \mu m$ 程度に形成されている。

また、 N^+ 型コレクタショート領域 15 は、例えば、 $5 \sim 30 \mu m$ 程度の厚さで形成されており、 N^+ 型コレクタショート領域 15 の N 型不純物濃度は、 N^+ 型エミッタ領域 14 より高く、例えば、 $1 \times 10^{17} \sim 1 \times 10^{20} cm^{-3}$ 程度の不純物濃度で形成されている。

【0028】

また、 N^+ 型コレクタショート領域 15 との下面には、コレクタ電極 20 が電氣的に接続されており、 N^+ 型コレクタショート領域 15 は、デバイスのオフ時に N^- 型ベース領域 11 内に蓄積されたキャリアをコレクタ電極 20 に排出し、デバイスのオフスピードを速めるように機能する。

【0029】

P^+ 型半導体領域 16 は、 P 型の不純物が拡散された P 型半導体領域から構成され、 N^+ 型コレクタショート領域 15 上に、例えば、 $7 \sim 40 \mu m$ 程度の厚さで形成される。

P^+ 型半導体領域 16 は、 N^- 型ベース領域 11 に流れる電流をブロックする電流ブロック領域として機能する。

また、 P^+ 型半導体領域 16 の不純物濃度は、コレクタ電極 20 とエミッタ電極 23 との間に逆方向電圧が印加されたときに P 型ベース領域 13 と N^- 型ベース領域 11 との界面に形成された $P-N$ 接合から延伸する空乏層が P^+ 型半導体領域 16 の厚み方向のほぼ全体に広がる濃度に設定されており、好ましくは $5 \times 10^{15} \sim 1 \times 10^{18} cm^{-3}$ 程度である。このため、本実施の形態に係る $IGBT$ 1 は、比較的大きな逆方向耐圧を得ることができる。

【0030】

コレクタ電極 20 は、アルミニウム等から構成され、 P^+ 型コレクタ領域 12 及び N^+ 型コレクタショート領域 15 の下面全体に形成される。

【0031】

ゲート電極 21 は、ポリシリコン等から構成され、 N^- 型ベース領域 11 と N^+ 型エミッタ領域との間の P 型ベース領域 13 上に、シリコン系膜等のゲート絶縁膜 22 を介して配置されている。

【0032】

エミッタ電極 23 は、アルミニウム等から構成され、 N^+ 型エミッタ領域 14 等の上面に形成される。

エミッタ電極 23 と、ゲート電極 21 との間には、シリコン系膜等の絶縁膜 24 が形成される。

【0033】

このような $IGBT$ 1 において、ゲート電極 21 に電圧が印加されると、 P 型ベース領域 13 内にチャネルが形成され、電子電流 I_{E1} が流れる。電子電流 I_{E1} が N^+ 型コレクタショート領域 15 に上面から流れ込む量は、 P^+ 型半導体領域 16 によってブロックされることにより減少する。

結果として、相対的に P^+ コレクタ領域 12 と N^- 型ベース領域 11 とから形成される

P⁺N接合に沿って流れる電子電流 I_{E2} が増加する。

この電子電流 I_{E2} による電圧降下によって、P⁺コレクタ領域12とN⁻型ベース領域11とから形成されるPN接合が順方向に深くバイアスされ、N⁻型ベース領域11にホールが注入され、良好に伝導度変調が起きる。

【0034】

従って、本実施の形態において、N⁺型コレクタショート領域15の横幅 L_1 が、P型ベース領域13間のN⁻型ベース領域11の幅 L_2 よりも大きく形成され、P⁺型コレクタ領域12の面積が減っているにも関わらず、良好に伝導度変調が生じ、良好なIGBT動作が得られる。

【0035】

また、本実施の形態のIGBT1は、P⁺型半導体領域16の不純物濃度が、コレクタ電極20とエミッタ電極23との間に逆方向電圧が印加されたときに、P型ベース領域13とN⁻型ベース領域11との界面に形成されたPN接合から延伸する空乏層がP⁺型半導体領域16の厚み方向のほぼ全体に広がる濃度に設定されているため、比較的大きな逆方向耐圧が得られる。

【0036】

さらに、本実施の形態のIGBT1は、電子電流をブロックするP⁺型半導体領域16が電氣的にフローティング状態となっているため、P⁺型半導体領域16を半導体領域の一部として含む例えば、寄生トランジスタ、寄生サイリスタ等の寄生素子が形成されることがない。

【0037】

以上の構成を採ることにより、本実施の形態のIGBT1において、電子電流 I_{E1} がP⁺型半導体領域16にブロックされることで、従来技術と比較して電子電流 I_{E2} が増加し、P⁺型コレクタ領域12と、N⁻型ベース領域11とから形成されるPN接合が順方向に深くバイアスされる。従って、P⁺型コレクタ領域12から供給されるホールの量が増えることで、伝導度変調が良好に得られ、IGBT動作を良好に得ることが可能となる。

【0038】

次に、本発明の実施の形態に係る半導体素子の製造方法について図を用いて説明する。本実施の形態では、特にIGBTを例に挙げて説明する。

【0039】

図2(a)乃至(d)に、本実施の形態に係るIGBT1の製造プロセスを示す。なお、図に示すプロセスは一例であり、同様の結果物が得られるのであれば、これに限られない。

【0040】

まず、ヒ素等のN型不純物が導入されたN型の半導体基板30を用意する。

【0041】

次に図2(a)に示すように、N型の半導体基板30の下側の表面領域に、イオン注入法、熱拡散法等により、P⁺型半導体領域16を形成する。

【0042】

次に、図2(b)に示すように、P⁺型半導体領域16の両側の、N⁻型ベース領域11の下側の表面領域全体に、イオン注入法等によりP⁺型コレクタ領域12を形成する。

【0043】

次に、図2(c)に示すように、図2(a)で形成したP⁺半導体領域16の位置に、イオン注入法等により、N型不純物をP⁺型半導体領域16の深さより浅く拡散させ、N⁺型コレクタショート領域15を形成する。

【0044】

次いで、N⁻型ベース領域11の表面領域にP型不純物およびN型不純物を連続的に選択的に拡散させて、図2(d)に示すように、P型ベース領域13およびN⁺型エミッタ領域14を順次形成する。

【0045】

その後、コレクタ電極 20、ゲート電極 21、ゲート絶縁膜 22、エミッタ電極 23、を形成して図 1 に示すような IGBT1 が得られる。

【0046】

なお、本発明は上述した実施の形態に限られず、様々な変形及び応用が可能である。例えば、上述した実施の形態では、 P^+ 型半導体領域 16 の幅は、 N^+ 型コレクタショート領域 15 の幅 L_1 よりやや狭く形成されているが、これを N^+ 型コレクタショート領域 15 の上面全体に形成することも可能である。

【0047】

また、 P^+ 型半導体領域 16 は、 N^+ 型コレクタショート領域 15 の上面全体だけに限られず、側面にも形成することが可能である。ただし、この場合、 N^- 型ベース領域 11 が、 N^+ 型コレクタショート領域 15 の側面の少なくとも一部に接触するように、 P^+ 型半導体領域 16 を形成する必要がある。

【0048】

なお、上述した実施の形態では、 N^+ コレクタショート領域 15 の幅 L_1 は、 N^- 型ベース領域 11 の幅 L_2 より大きい場合を例に挙げて説明しているが、これに限られず、 N^+ コレクタショート領域 15 の幅 L_1 は、 N^- 型ベース領域 11 の幅 L_2 より小さくてもよい。

もっとも、幅 L_1 が、幅 L_2 より小さい場合、 N^+ コレクタショート領域 15 を形成したことによる伝導度変調の低下の影響が比較的少ないため、本発明は、特に N^+ コレクタショート領域 15 の幅 L_1 が N^- 型ベース領域 11 の幅 L_2 より大きい場合に有効である。

【0049】

上述した実施の形態では、 N^+ コレクタショート領域 15 は、 N^- 型ベース領域 11 と P^+ コレクタ領域 12 とから形成される PN 接合を順方向に深くバイアスさせるため、 P^+ 型コレクタ領域 12 よりも突出するように形成されているが、これに限られず、 P^+ 型コレクタ領域 12 と隣接し、同一平面となるよう、 N^+ コレクタショート領域 15 を形成しても良い。また、 N^+ コレクタショート領域 15 よりも、 P^+ 型コレクタ領域 12 が突出するように形成しても良い。この場合、 P^+ 型コレクタ領域 12 に空乏層が当接しない、ノンパンチスルー型 MOSFET にするのが好ましい。

【0050】

また、上述した実施の形態では、 N^+ 型コレクタショート領域 15 は、P 型ベース領域 13 間の N^- 型ベース領域 11 に対向するように形成され、P 型ベース領域 13 と対向しないように形成されている。これを、図 3 に示すように P 型ベース領域 13 と対向するように形成することも可能である。この構成を採用する場合、 N^+ 型コレクタショート領域 15 と P 型ベース領域 13 との間でアバランシェブレークダウンを起こさせて、デバイスの逆方向耐圧を決定することができる。

【0051】

さらに、図 4 に示すように N 型の不純物が拡散された N 型半導体領域から構成される N^+ 型バッファ領域 17 を、 N^+ 型コレクタショート領域 15 と隣接するように形成することも出来る。

この場合、 N^+ 型バッファ領域 17 は、 N^- 型ベース領域 11 の N 型不純物濃度より高い、例えば $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度で、 $5 \sim 30 \mu\text{m}$ 程度の厚さで形成される。

【図面の簡単な説明】

【0052】

【図 1】 本発明の実施の形態に係る絶縁ゲート型半導体素子の断面構成を示す図である。

【図 2】 本発明の実施の形態に係る絶縁ゲート型半導体素子の製造プロセスを示す図である。

【図 3】 本発明の実施の形態に係る絶縁ゲート型半導体素子の変形例の断面構成を示す図である。

す図である。

【図 4】本発明の実施の形態に係る絶縁ゲート型半導体素子の変形例の断面構成を示す図である。

【図 5】従来の I G B T の断面構成を示す図である。

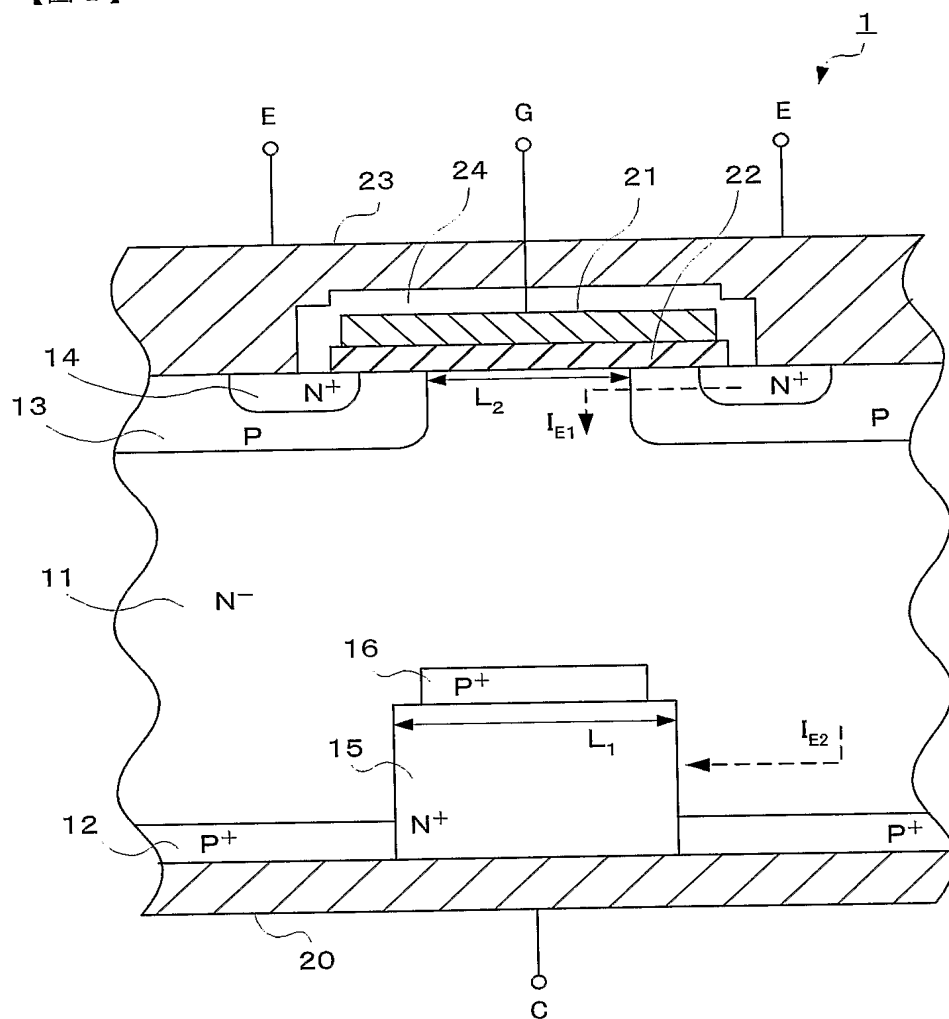
【図 6】従来の I G B T の断面構成を示す図である。

【符号の説明】

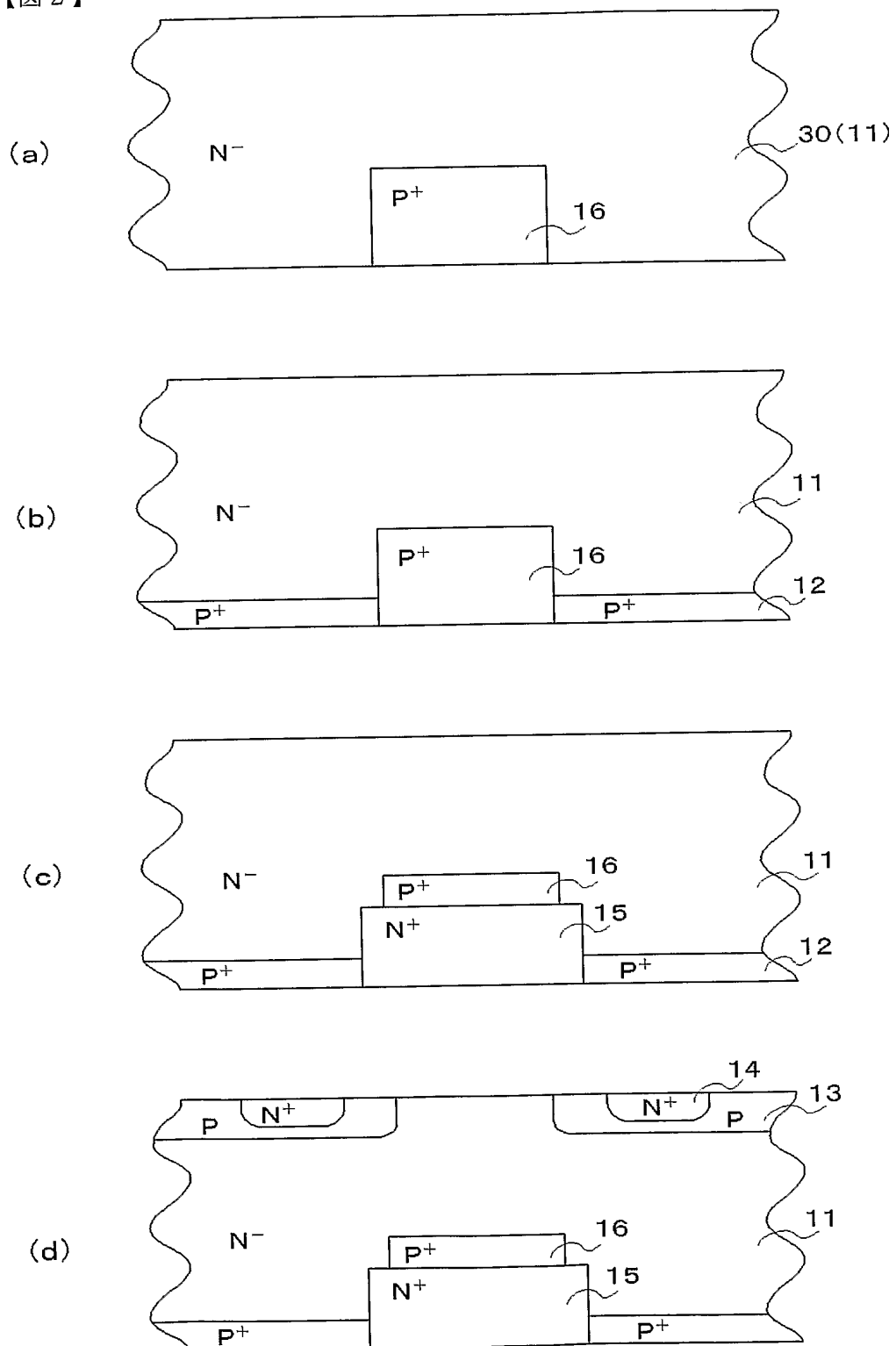
【 0 0 5 3 】

- 1 I G B T
- 1 1 N^- 型ベース領域
- 1 2 P^+ 型コレクタ領域
- 1 3 P 型ベース領域
- 1 4 N^+ 型エミッタ領域
- 1 5 N^+ 型コレクタショート領域
- 1 6 P^+ 型半導体領域
- 2 0 コレクタ電極
- 2 1 ゲート電極
- 2 2 ゲート絶縁膜
- 2 3 エミッタ電極
- 2 4 絶縁膜

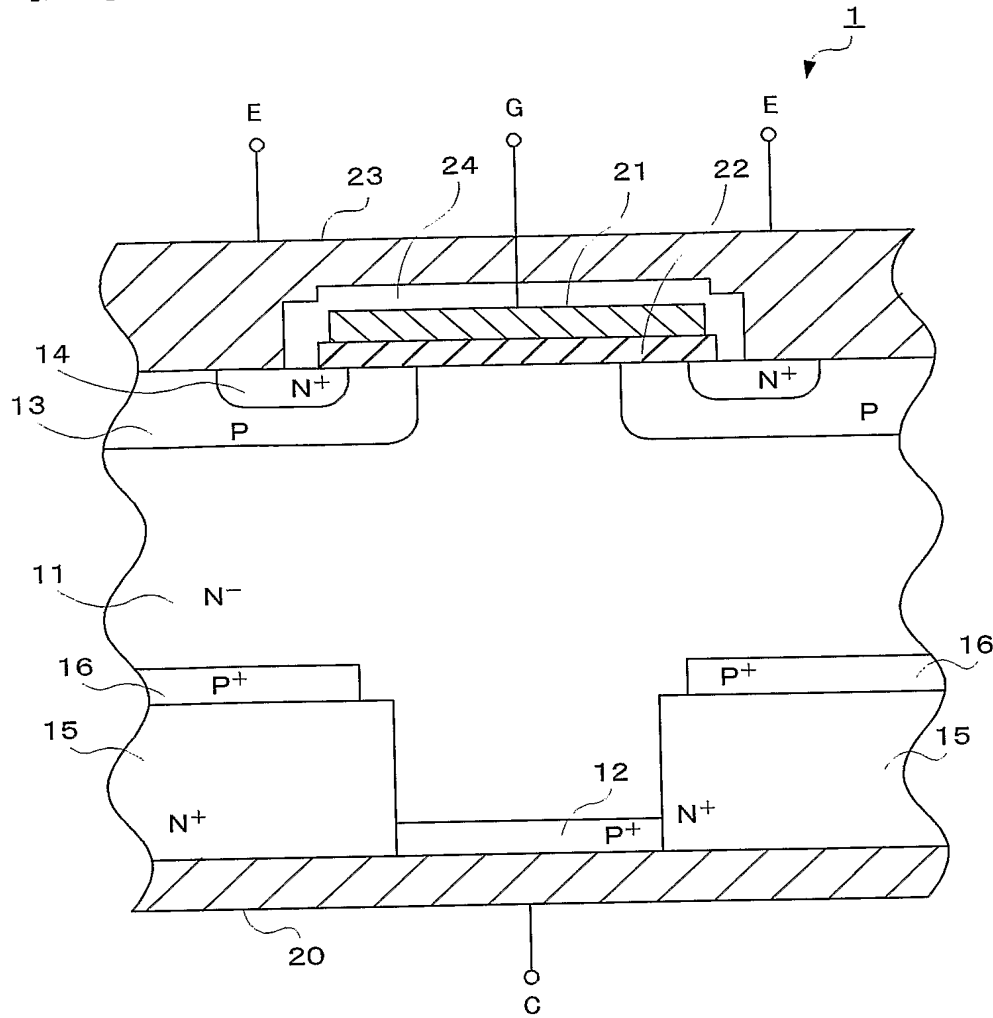
【書類名】 図面
【図 1】



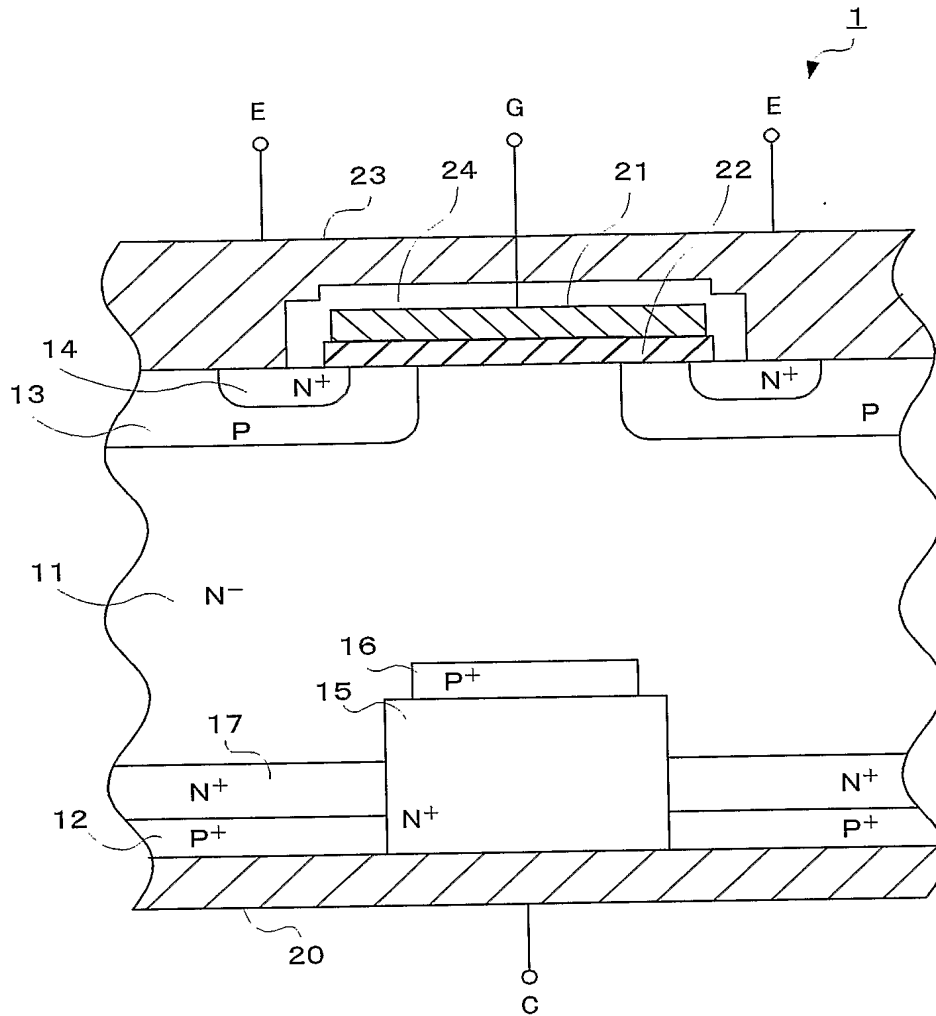
【図 2】



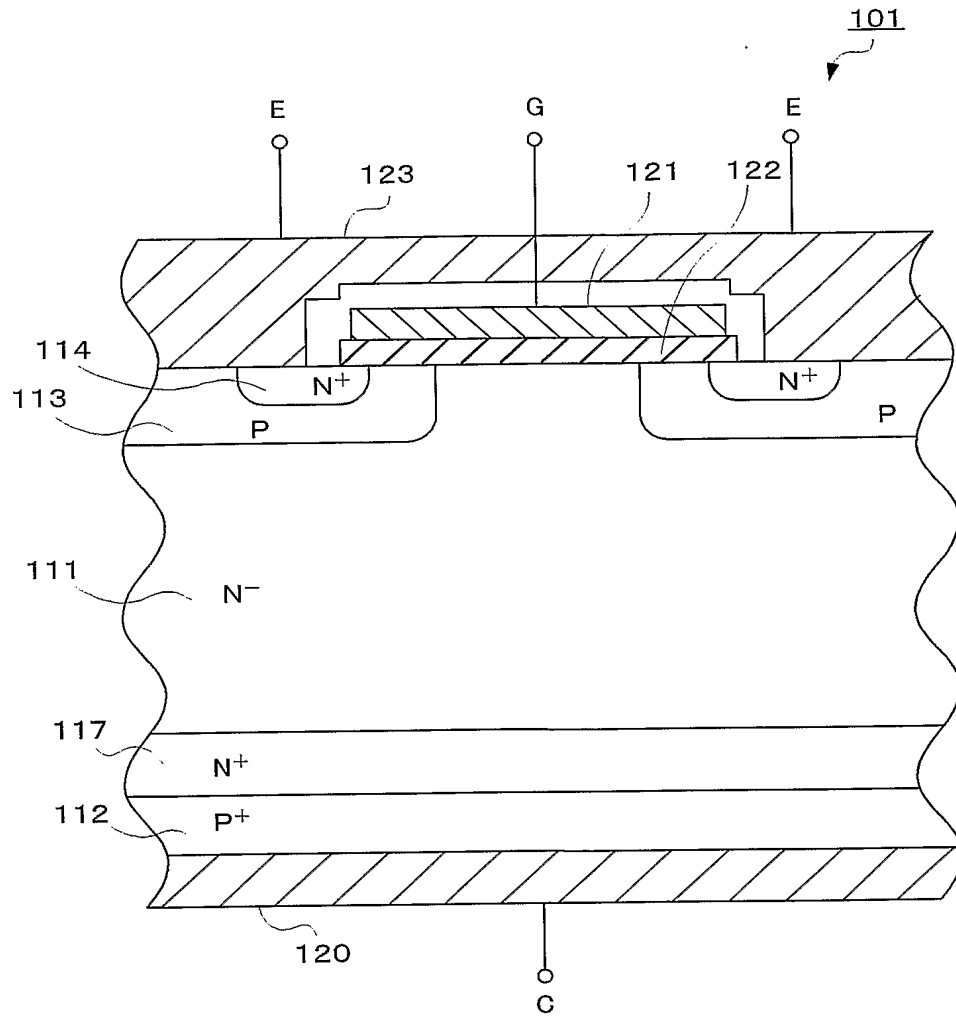
【図 3】



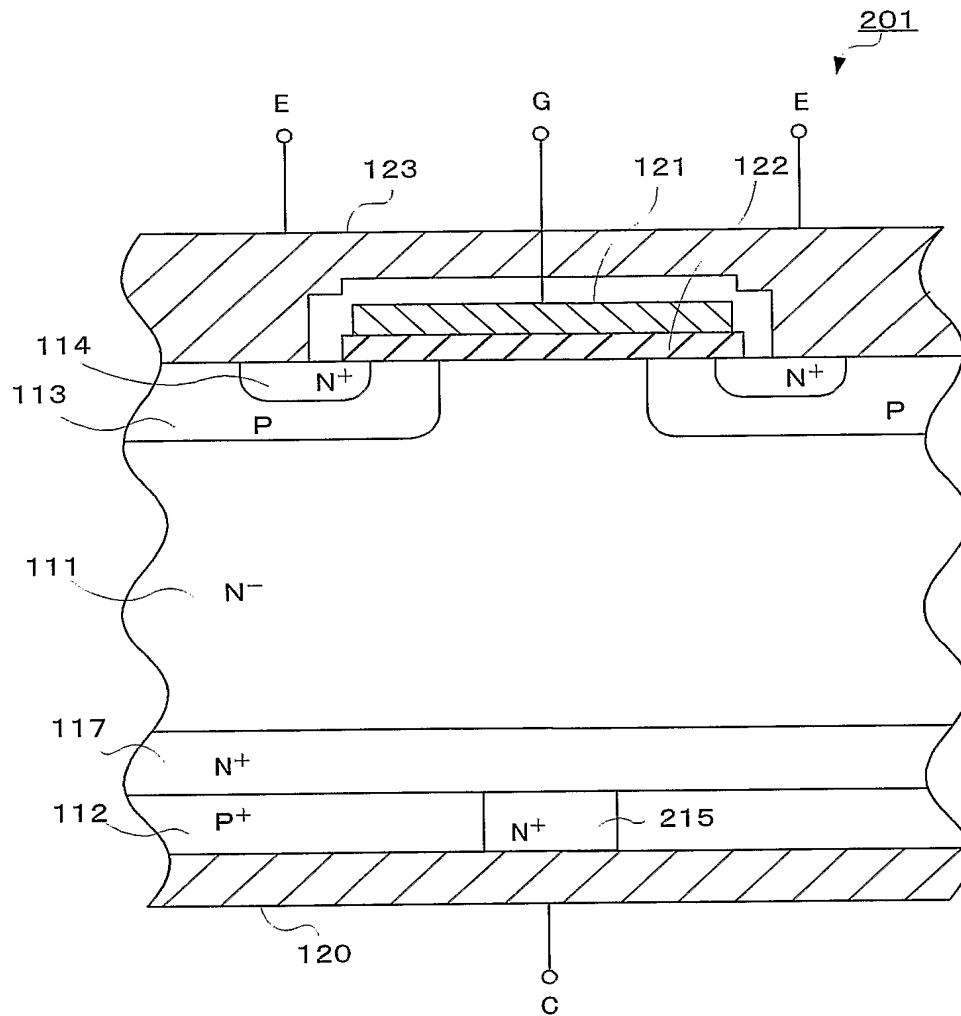
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子と、その製造方法を提供する。

【解決手段】 N^- 型ベース領域 11 と、 P^+ 型コレクタ領域 12 と、 P 型ベース領域 13 と、 N^+ 型エミッタ領域 14 とを備える絶縁ゲート型半導体素子において、 N^- 型ベース領域 11 の下面に、 P^+ コレクタ領域 12 よりも N^- 型ベース領域 11 側に延伸する N^+ 型コレクタショート領域 15 と、 N^+ 型コレクタショート領域 15 と N^- 型ベース領域 11 の界面に P^+ 型半導体領域 16 とを形成する。

【選択図】 図 1

特願 2 0 0 4 - 1 7 6 0 1 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 0 6 2 7 6]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

埼玉県新座市北野 3 丁目 6 番 3 号

氏 名

サンケン電気株式会社